

特開平4-276943

(43) 公開日 平成4年(1992)10月2日

(51) Int.Cl.⁴
H 0 4 L 12/48

識別記号

庁内整理番号

F I

技術表示箇所

8529-5K

H 0 4 L 11/20

Z

審査請求 未請求 請求項の数10(全 12 頁)

(21) 出願番号 特願平3-38388

(22) 出願日 平成3年(1991)3月5日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 小崎 尚彦

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 柳 純一郎

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 鳥居 豊

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所戸塚工場内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 スイッチングシステム

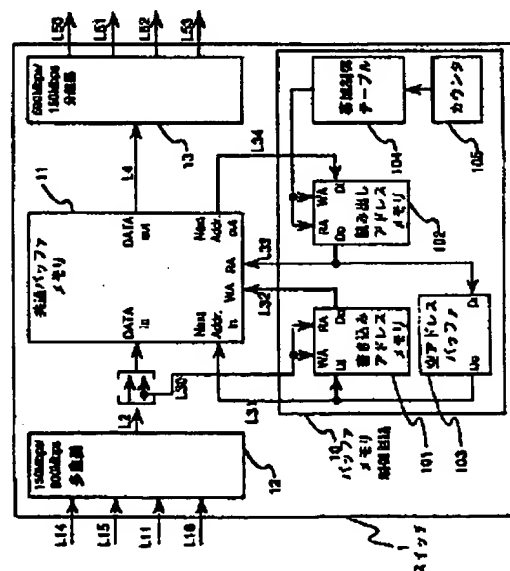
(57) 【要約】

【目的】 出力リンクに多重器22または分離器23を設けることにより、様々な伝送速度の出線を収容可能にしたATMスイッチングシステムの構成を提供する。

【構成】 多重器12と、共通バッファメモリ11と、分離器13と、セル種別毎にバッファ管理するバッファメモリ制御回路10から構成されるATMスイッチ1に、バッファから読み出すセルのセル種別を指示する帯域制御テーブル104を設ける。

【効果】 出線に対応してセル種別を管理し、帯域制御テーブルで各出線に対応する読み出しタイミングでセル種別を指示するようにし、スイッチの出力リンクに多重器または分離器を設けることにより、伝送速度の異なる各種の出線を収容することができる。

(図1)



【特許請求の範囲】

【請求項1】複数の入線上に多重化して入力される固定長パケット（以下、ATMセルと言う）を複数の出線（P01～P03）のうちの任意の出線上に多重化して出力するスイッチングシステムであって、各入線のATMセルを多重する第1の多重器（12）と、上記多重化されたATMセルを書える共通バッファメモリ（11）と、上記共通バッファメモリから出力されるセルを各出線に周期的に振り分ける第1の分離器（13）と、上記共通バッファメモリをセル種別毎に管理するバッファメモリ制御回路（10）とを備え、上記バッファメモリ制御回路（10）に上記共通バッファメモリから読み出すATMセルのセル種別を指定するための帯域制御テーブル（104）を有することを特徴とするスイッチングシステム。

【請求項2】請求項1に記載のスイッチングシステムにおいて、前記バッファメモリ制御回路（10）が、前記共通バッファメモリ（11）に入力されるATMセルをセル種別毎に形成されるアドレスチェーンを用いたリスト構造に接続し、該リスト構造から出力ATMセルを取り出すようにしたことを特徴とするスイッチングシステム。

【請求項3】請求項1に記載のスイッチングシステムにおいて、前記バッファメモリ制御回路（10）が、セル種別に対応して用意された書き込みアドレスレジスタ（101）と読み出しアドレスレジスタ（102）の2種類のレジスタと、前記共通バッファメモリ（11）の使用していない空アドレスを格納するための空アドレスバッファ（103）とを有し、上記共通バッファメモリ（11）が、各セルに対応して次に読み出すべきセルのアドレスを示す次アドレスを記憶するためのエリアを有し、ATMセルを上記共通バッファメモリ（11）に書き込むときは、そのATMセルのセル種別に対応する書き込みアドレスレジスタから書き込みアドレスを出力し、この時、空アドレスバッファ（103）から出力されるアドレスを上記次アドレスエリアと書き込みアドレスレジスタ（101）に書き込み、ATMセルを上記共通バッファメモリから読み出すときは、読み出すべきATMセルのセル種別に対応する読み出しアドレスレジスタから読み出しアドレスを出力し、この時、上記読み出しアドレスを上記空アドレスバッファ（103）に記憶すると共に、上記共通バッファメモリの次アドレスエリアから読み出される次アドレスを上記読み出しアドレスレジスタ（102）に書き込むことにより、各セル種別毎に、上記読み出しアドレスレジスタ（102）に、上記共通バッファメモリ内の1つのATMセルと、該ATMセルの次に読み出すべきATMセルとの位置を示す読み出しアドレスが格納され、上記書き込みアドレスレジスタ（101）に、次にスイッチに到着するセルを書き込むべき上記共通バッファメモリ上の書き込みアドレス

が格納され、上記読み出しアドレスレジスタを始点とし上記書き込みアドレスレジスタを終点とするセル種別毎のアドレスチェーンが形成されるようにしたことを特徴とするスイッチングシステム。

【請求項4】請求項3に記載のスイッチングシステムにおいて、前記セル種別に対応した書き込みアドレスレジスタ（101）が、セル種別をアドレスとして書き込み、および読み出し動作可能なメモリで構成され、前記セル種別に対応した読み出しアドレスレジスタ（102）が、セル種別をアドレスとして書き込み、および読み出し動作可能なメモリで構成されことを特徴とするスイッチングシステム。

【請求項5】請求項1、2、3、または、4に記載のスイッチングシステムにおいて、前記バッファメモリ制御回路（10）が、前記スイッチングシステムの出線（P01～P03）のいずれかに接続された第2の多重器（22）、または、第2の分離器（23）を有し、上記第2の多重器、または第2の分離器へのセルの出力毎にセル種別の管理を行ない、前記共通バッファメモリ（11）からのセル出力時に、前記帯域制御テーブル（104）が、上記第2の多重器への入線、または上記第2の分離器からの出線へのセル出力タイミングに合わせて、該第2の多重器、または第2の分離器の出力を指定することを特徴とするスイッチングシステム。

【請求項6】請求項1、2、3、4、または、5に記載のスイッチングシステムにおいて、前記バッファメモリ制御回路（10）でのセル種別が、出線情報、バーチャルバス識別子の少なくとも一部、バーチャルチャネル識別子の少なくとも一部、または、上記出線情報とバーチャルバス識別子とバーチャルチャネル識別子と品質クラス情報とを結合したものの全部または一部であることを特徴とするスイッチングシステム。

【請求項7】請求項1、2、3、4、5、または6に記載のスイッチングシステムにおいて、前記共通バッファメモリ（11）から読み出すべきセルの種別を指定するとき、前記帯域制御テーブル（104）が、上記セル種別のセルの次の読み出し時点で今回と同一セルを読み出すか、または、新たなセルを読み出すかを指示し、これによりマルチキャスト機能を実現するようにしたことを特徴とするスイッチングシステム。

【請求項8】請求項3、または4に記載のスイッチングシステムにおいて、前記帯域制御テーブル（104）が、前記共通バッファメモリ（11）から読み出すべきセルの種別を指定するとき、前記読み出しアドレスレジスタ（102）、または空アドレスバッファ（103）の内容を更新するか、そのまま保持するかを指示し、これによりマルチキャスト機能を実現するようにしたことを特徴とするスイッチングシステム。

【請求項9】請求項3、4、5、6、7、または8に記載のスイッチングシステムにおいて、前記書き込みア

ドレレジスタ(101)と読み出しアドレスレジスタ(102)とが品質クラス毎に設けられ、前記帯域制御テーブル(104)でセル種別と品質クラスとが指示され、上記帯域制御テーブルにより指示された品質クラスのセルが前記共通バッファメモリ内にある場合は当該品質クラスのセルを読み出し、もし、上記品質クラスのセルが無い場合は他の品質クラスのセルを読み出すよう制御動作する品質クラス制御手段(106)を備えたことを特徴とするスイッチングシステム。

【請求項10】請求項1、2、3、4、5、6、7、8、または9に記載のスイッチングシステムにおいて、前記帯域制御テーブルの内容を書き換えるためのマイクロプロセッサ手段を備えたことを特徴とするスイッチングシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、スイッチングシステムに関し、更に詳しくは、例えば広帯域のISDN交換機の通話路装置等に使用されるATM(Asynchronous Transfer Mode)スイッチングシステム、特に、伝送速度の異なる複数種類の入出力リンクを収容するのに好適なATMスイッチングシステムに関する。

【0002】

【従来の技術】広帯域ISDN用交換機に適用されるATMスイッチングシステムとしては、例えば、特開昭58-245635号で提案された「TDMスイッチングシステム」が知られている。上記スイッチングシステムは、各入力線からのセルを多重化するための多重器と、上記多重化されたセルを入力するためのバッファメモリと、上記バッファメモリから出力されたセルを各出力線に周期的に分離するための分離器と、各出力線毎にバッファメモリを管理するためのバッファメモリ制御回路とから構成されている。バッファメモリ制御回路は、出力線対応にFIFO(First In First Out)メモリを有し、バッファメモリにセルを書き込むとき、セルのヘッダ情報から判断したセル出力先と対応するFIFOメモリにバッファメモリの書き込みアドレスを入力する。また、各出力線に対するバッファメモリからのセル出力は、予め決められた所定の周期で行なわれ、セルの出力タイミングに合わせて各出力線対応のFIFOメモリからバッファメモリへ読み出しアドレスが出力されるようになっている。

【0003】

【発明が解決しようとする課題】然るに、上記従来例によれば、バッファメモリからのセルの読み出しが、出力線毎に予め決められたタイミングとなるように制御されているため、上記構成のスイッチングシステムに伝送速度の異なる複数種類の出力リンクを収容しようとする

て複雑化するという問題がある。

【0004】本発明の目的は、収容すべき出線のセル伝送速度に合わせてセルの交換動作が可能なATMスイッチングシステムを提供することにある。

【0005】本発明の他の目的は、異なる複数種類の伝送速度、例えば、600Mbps、150Mbps、50Mbps等の出線を比較的自由に収容できるようにしたATMスイッチングシステムを提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するため、本発明では、複数の入力線から入力されたセルを多重化するための多重器と、上記多重器から多重化して順次に入力されたセルを一時的に蓄積するための共通バッファメモリと、上記共通バッファメモリから順次を読み出されたセルを複数の出力線に周期的に分配するための分離器と、上記共通バッファメモリでのセルの読みだしと書き込みを各出力線毎に管理するバッファメモリ制御回路とからなるATMスイッチングシステムにおいて、上記バッファメモリ制御回路に上記共通バッファメモリから読み出すべきセルの種別を指定するための帯域制御テーブルを設け、上記バッファメモリ制御回路が、上記帯域制御テーブルから出力されたセルの種別に応じて、上記共通バッファメモリからのセルの読み出し動作と書き込み動作を行うようにしたことを特徴とする。

【0007】ATMスイッチングシステムでは、例えば、スイッチの各出力リンクを同一の伝送速度としておき、複数の出力リンクからの出力セルを多重器により束ねることにより、該多重器に接続された出線でのセルの伝送速度を上げ、逆に、1つの出力リンクからの出力セルを分離器により複数の出線に分配することにより、各出線でのセルの伝送速度を下げるができる。例えば、150Mbpsの伝送速度を持つ出力リンクに対して、4多重の多重器を設ければ600Mbpsの伝送速度を持つ出線を実現でき、また、3分離の分離器を設けることにより50Mbpsの伝送速度を持つ出線を実現できる。この場合、バッファメモリ制御回路によるバッファ管理を如何に行なうかが問題となるが、本発明においては、ATMスイッチングシステムの出力側に多重器、または分離器を設け、上記多重器または分離器に接続された出線に対応してセル種別の管理を行うようにし、上記多重器や分離器の出力と対応した共通バッファメモリ読み出しタイミングで、帯域制御テーブルがセル種別の指示を行うようにする。

【0008】

【作用】本発明によれば、同一伝送速度の複数の出力リンクを備えたATMスイッチングシステムにおいて、ATMスイッチの出線リンクに多重器、または分離器を適宜設けることにより、多重器や分離器の出力側に所望の伝送速度をもつ出線を実現できる。この場合、本発明によれば、上記多重器や分離器の出力に対応するセル種別の

管理を帯域制御テーブルを用いてバッファメモリ制御回路により行う。すなわち、多重器や分離器の出力と対応した共通バッファメモリ読み出しタイミングに合わせて、帯域制御テーブルで、出線に対応するセル種別の指示を行う。

【0009】また、本発明によれば、上記バッファメモリ制御回路でセル格納用の共通バッファメモリを管理し、上記共通バッファメモリ上のセルを各出線毎にFIFOバッファ管理することにより、上記共通バッファメモリからの各セルの読み出しタイミングを各出線に対応した読み出しタイミングに合わせることができる。

【0010】本発明によれば、ATMスイッチングシステムの出力側に多重器または分離器の追加、もしくは交換を行なうことにより、各出線上でのセルの伝送速度を比較的自由に選ぶことができる。この場合、ATMスイッチングシステムの制御系の変更は、帯域制御テーブルの読み出すセルのセル種別（出線番号）の指示するタイミングをマイコン制御により変更するだけでよく、出線の伝送速度の変更は容易である。

【0011】

【実施例】以下、本発明の1実施例である広帯域ISDN用のATMスイッチングシステムについて図面を参照して説明する。

【0012】図9は、300Mbpsの伝送速度をもつ1対の入出力ポート（Pi0、Po0）と、150Mbpsの1対の入出力ポート（Pi1、Po1）と、75Mbpsの2対の入出力ポート（Pi2、Po2、Pi3、Po3）を備えたATMスイッチの構成例を示す。図において、1はそれぞれ150Mbpsの伝送速度を持つ4本ずつの入出力リンク（L11、L14-L16、L50-L53）を備えたスイッチ、20は上記スイッチ1の入力側に接続された300Mbps/150Mbps分離器、21は上記スイッチ1の入力側に接続された75Mbps/150Mbps多重器、22は上記スイッチ1の出力側に接続された150Mbps/300Mbps多重器、23は上記スイッチ1の出力側に接続された150Mbps/75Mbps分離器である。

【0013】上記スイッチングシステムにおいて、入力ポートPi0から300Mbpsの伝送速度で入力された各セルは、300Mbps/150Mbpsの分離器20でラインL14とL15とに交互に振り分けられ、それぞれ150Mbpsの伝送速度をもつセルとしてスイッチ1に入力される。入力ポートPi1から来る150Mbpsのセルは、速度変換されることなく直接、スイッチ1に入力される。入力ポートPi2、Pi3から来る75Mbpsのセルは、75Mbps/150Mbpsの多重器で交互に多重化され、150Mbpsの速度をもつセルとしてスイッチ1に入力される。

【0014】スイッチ1の出力側において、ラインL5

0、L51に出力された各セルは、150Mbps/300Mbpsの多重器22で交互に多重化され、300Mbpsの伝送速度で出力ポートPo0に出力される。ラインL52に出力された各セルは、150Mbpsの速度でそのまま出力ポートPo1から出力される。ラインL53に出力された各セルは、150Mbps/75Mbpsの分離器22で出力線L55とL56に交互に振り分けられ、75Mbpsの速度で出力ポートPo2、Po3に出力される。

10 【0015】図1は上記スイッチ1の構成の1例を示す。スイッチ1は、入力リンクL11、L14-L16と接続された150Mbps/600Mbpsの多重器12と、セルを1時的に格納するための共通バッファメモリ11と、出力リンクL50-L53と接続された600Mbps/150Mbpsの分離器13と、バッファメモリ制御回路10とから構成される。バッファメモリ制御回路10は、書き込みアドレスメモリ101と、読み出しアドレスメモリ102と、空アドレスバッファ103と、帯域制御テーブル104と、カウンタ105とから構成される。

20 【0016】150Mbpsの伝送速度でラインL11、L14-L16を介してスイッチ1に入力されたセルは、150Mbps/600Mbpsの多重器12により順番に多重化され、600Mbpsの速度で共通バッファメモリ11に入力される。共通バッファメモリ11から出力された600Mbpsのセルは、600Mbps/150Mbpsの分離器13で4方路に順番に分離され、150Mbpsの出力線L50-L53に分配出力される。

30 【0017】上記共通バッファメモリ11の書き込みと読み出しの制御はバッファメモリ制御回路10が行う。共通バッファメモリ11へのセル書き込み時に、書き込みアドレスメモリ101は、ラインL30から出力ポート情報を受け取り、これをアドレスとして書き込みアドレスメモリ101をアクセスし、読み出されたアドレスをラインL32を介して共通バッファメモリ11の書き込みアドレスWAに与える。このとき、共通バッファメモリ11で現在使用されていない空アドレスを蓄積している空アドレスバッファ103からラインL31に空アドレスが出力され、書き込みアドレスメモリ101と共通バッファメモリ11に次アドレスとして書き込まれる。上記次アドレス（空アドレス）は、書き込みアドレスメモリ101において、今回書き込みアドレスの読み出しが行われたのと同じアドレスのメモリ領域に書き込まれる。また、共通バッファメモリ11において、上記次アドレスは、セルの書き込みと同一のアドレスで特定されるメモリ領域に書き込まれる。上記次アドレスは、共通バッファメモリ11に次に書き込むべきセルのアドレスを示し、共通バッファメモリ11から1つのセルを

7
れを読み出しアドレスレジスタ02に記憶しておくことにより、次回に読み出すべきセルを特定できるようになっている。すなわち、各ポート毎に次アドレスによるアドレスチェーン（リスト構造）が構成されている。なお、共通バッファメモリ11へのセル書き込み動作の都度、キューチェーンは1セルずつ拡張される。

【0018】共通バッファメモリ11からのセルの読み出し制御は、次のように行われる。共通バッファメモリ11からのセルの読み出しの都度カウントアップ動作するカウンタ105からカウント値が出力され、帯域制御10
テーブル104に与えられる。帯域制御テーブル104は上記カウント値に応じて、予め記憶してある出力ポート情報を出力する。この出力ポート情報は、読み出しアドレスメモリ102に読み出しアドレスおよび書き込みアドレスとして与えられる。読み出し動作時には、上記アドレスによって、共通バッファメモリ11内の上記出力ポートと対応した特定のキューチェーンからセルを読み出すための読み出しアドレスがラインL33に読み出され、このアドレスで共通バッファメモリ11をアクセスすることにより、特定出力ポート宛の1つのセルが読み出される。このとき、共通バッファメモリ11の読み出しアドレスは、セルの読み出し動作が終わると空アドレスとなるため、ラインL33を介して空アドレスバッファ103に格納される。なお、共通バッファメモリ11からセルと同時に読み出された次アドレスは、読み出しアドレスメモリ102に書き込まれる。上述した読み出し動作の都度、各出力ポートのキューチェーンは1セルずつ減少することになる。尚、カウンタ105と、帯域制御テーブル104の詳細動作については後述する。

【0019】図2は、150Mbps/600Mbpsの多重器12の動作を示している。ラインL14、L15、L11、L16上の各セルは、150Mbpsの伝送速度で互いに少しずつずれたタイミングで多重器12に入力される。150Mbps/600Mbpsの多重器12は、各入力ラインからの入力セルを順番に多重化し、600Mbpsの伝送速度でラインL2に出力する。この動作は、75Mbps/150Mbps多重器21、150Mbps/300Mbps多重器22についても同様である。また、600Mbps/150Mbpsの分離器13は、図2に示した150Mbps/600Mbps多重器12のセル入出力タイミングを逆にした形で、入力セルの分離動作を行う。300Mbps/150Mbpsの分離器20、150Mbps/75Mbpsの分離器23の動作も、上記600Mbps/150Mbpsの分離器13と同様である。これらの動作により、ラインL10とラインL2、およびラインL4とラインL54で、それぞれのセルの順序性が保存される。

【0020】図3は、共通バッファメモリ11から出力ポート（P00、P01、P02、P03）までの読み

8
出しセルc0-c7の相関関係を示している。

【0021】ラインL4上にc0、c1、c3、…c7、…の順で読み出されたセルは、600Mbps/150Mbpsの分離器13で分離され、ラインL50にはc0、c4、…、ラインL51にはc1、c5、…、ラインL52にはc2、c6、…、ラインL53にはc3、c7、…の順に転送される。このうち、ラインL50とL51上のセルは、150Mbps/300Mbpsの多重器22により多重化され、c0、c1、c4、c5、…の順序となってラインL54に出力される。即ち、ラインL4とラインL54でセルの順序性は保たれている。一方、ラインL53に出力されたセルは、更に150Mbps/75Mbpsの分離器23で分離され、ラインL55にはセルc3、…が、また、ラインL56にはセルc7、…が、それぞれ75Mbpsの伝送速度となって出力される。

【0022】このようにセルの宛先となる出力ポートは、各セルが共通バッファメモリ11から出力されたタイミングによって決まる。本発明では、図3に示す出力ポートへのセル出力を行うために、図1に示したカウンタ105のカウント値（タイミング値）に応じて、帯域制御テーブル104に図10に示すように出力ポート情報（P00-P03）を出力させる。ここでは、理解の便宜上、カウンタ値の欄に上述したセルの記号を付して示しており、c8、c9、…はc0、c1、…と対応する。

【0023】上記帯域制御テーブル104の内容を、例えば、図示しないマイコンによる制御で自由に書き換えられるようにしておけば、入出力リンクの速度変換用の多重器、あるいは分離器の入替えが行われた時、制御テーブル104内の該当する値を書き替えることにより、各入出力リンクの速度を自由に変更できる。例えば、図9のラインL14、ラインL50が接続されている300Mbps/150Mbpsの分離器20と150Mbps/300Mbpsの多重器22に代えて、それぞれ75Mbps/150Mbpsの多重器と、150Mbps/75Mbpsの分離器を設け、それに対応して、帯域制御テーブル104のカウント値c0とc4をそれぞれ75Mbps出力ポートに対応するよう変更すれば、ラインL10とラインL54を75Mbpsの2本ずつの入出力リンクに分離できる。また、ラインL15とL11を300Mbps/150Mbpsの分離器に接続し、ラインL51、L52に150Mbps/300Mbpsの多重器を接続し、それに対応して、帯域制御テーブル104のカウント値c1、c2、c5、c6を300Mbps出力ポートに対応させれば、300Mbpsの入出力リンクをポートP11、P01に収容できる。

【0024】なお、図9のスイッチ構成では、入力側と出力側でポート数を同一にし、対応する入出力ポートの

リンク速度を同一にして、本発明は、これらを入力側と出力側で必ずしも一致させる必要はない。

【0025】また、図1において、150Mbpsリンクにおけるバーチャルバスやバーチャルチャネルの帯域を完全に75Mbps毎に分けたい場合、帯域制御テーブル104を、表1のカウント値c3、c7にそれぞれのバーチャルバスまたはバーチャルチャネルが割り振られた形に変更すればよい。帯域制御テーブル104の値を操作することにより、150Mbpsのリンクを別の帯域に分離することもできる。ただし、この場合は、カウンタ105の周期を変える必要がある。

【0026】図4は、4×4の入出力リンクを備えた単位スイッチを複数個用いて8×8の入出力ポートをもつスイッチに拡張する場合のスイッチ構成の1例を示す。この例では、前後段各4個、計8個の単位スイッチ1-1～1-8を用い、このうち後段の単位スイッチ1-5、1-6、1-7、1-8は、4個の出力リンクのうちの2個のを未使用として、実質的に4×2の入出力リンクを備えた単位スイッチとして動作させている。

【0027】前段のスイッチ1-1の4個の入力リンクとスイッチ1-3の4個の入力リンクは、それぞれ150Mbpsの4個（第1～第4）の入力ポートに接続され、これらのスイッチに同じ入力を与えられるようになっている。スイッチ1-1は、入力セルのうち、後段のスイッチ1-5と1-6へ行くセルのみ取り込み、これらのスイッチに振り分ける。一方、スイッチ1-3は、入力セルのうち、後段のスイッチ1-7と1-8に行くセルのみ取り込み、これらのスイッチに振り分ける。前段のスイッチ1-2とスイッチ1-4もそれぞれ同一の入力を受けるように別の4個（第5～第8）の入力ポートに接続されている。スイッチ1-2は、入力セルのうち後段のスイッチ1-5と1-6へ行くセルのみ取り込み、これらのスイッチに振り分ける。スイッチ1-4は、入力セルのうち後段のスイッチ1-7と1-8に行くセルのみ取り込み、これらのスイッチに振り分ける。前段の各スイッチ1-1、1-2、1-3および1-4は、150Mbpsの4本の出力リンクを持つが、それぞれが、2つの後段スイッチへのセル振り分けを行っているため、前段スイッチ全体として論理的には300Mbpsの出力2本を備えたスイッチとして動作している。この場合、前段と後段のスイッチ間に300Mbpsリンクがあるものとして、前段の各スイッチ1-1、1-2、1-3、1-4のための帯域制御テーブルを設定することによって、スイッチ間で300Mbpsのスループットでセルを伝送できる。

【0028】次に、図5、図6、図11を参照して、帯域制御テーブルを利用したマルチキャスト機能の実現方式について説明する。

【0029】図5は、マルチキャスト機能を実現するためのバッファメモリ制御回路の構成の1例を示す。この

例では、書き込みアドレスメモリ101と読み出しアドレスメモリ102とがバーチャルバス（VP）毎に管理されている。マルチキャスト機能を実現するためには、マルチキャストすべきセルを共通バッファメモリ11から何回か繰り返して読み出し、マルチキャストすべき複数の出力ポートに順次出力すれば良い。すなわち、マルチキャストすべき全ての出力ポートに対してマルチキャストセルが出力されるまで、読み出しアドレスメモリ102から同じ読み出しアドレスを出力し、これを共通バッファメモリ11に与え続けられれば良い。

【0030】図5において、帯域制御テーブル104は、上記VPの他にEND信号も出力する機能を持っている。マルチキャストセルを読み出す場合は、マルチキャストセルが必要回数だけ読み出されるまではEND信号を'0'レベルに保持しておくことによって、読み出しアドレスメモリ102と空アドレスバッファ103の更新が行われないようにし、マルチキャストセルの最後の読み出し、および非マルチキャストセルの読み出しが行われる時、上記END信号を'1'レベルにすることにより、読み出しアドレスメモリ102と空アドレスバッファ103の更新が行われるようにする。

【0031】図11は、帯域制御テーブル104の記憶内容の1例を示し、図6はその時のスイッチの出力動作タイミングを示す。図11では、VP0、VP1、VP2、VP3は非マルチキャストセル用のVPを示し、VP4、VP5はマルチキャスト用のVPを示している。VP4のマルチキャストセルは、カウント値c0、c1、c3のとき出力されるが、カウント値c0、c1でEND信号が'0'であるので、このときの読み出しアドレスメモリ102は更新されず、すべて同じセルが共通バッファメモリ11から出力される。カウント値c3のときEND信号が'1'となり、読み出しアドレスメモリ102は更新され次のVP4のセル読み出し時には新たなセルがマルチキャストされる。カウント値c9、c10で読み出されるVP5のマルチキャストセルの読み出し動作についても同様なことが言える。その他のタイミングのセルは非マルチキャストセルであり、1セル読み出される毎に次の新たなセルを読み出さなければならないので、読み出しアドレスメモリ102を更新するため常にEND信号は'1'となる。

【0032】図6は、図11の帯域制御テーブル104を適用した場合のスイッチの出力動作を示している。ここで、カウント値c0、c4、c8、c12に相当するセルはラインL50上に、カウント値c1、c5、c9、c13に相当するセルはラインL51上に、カウント値c2、c6、c10、c14に相当するセルはラインL52上に、カウント値c3、c7、c11、c15に相当するセルはラインL53上に出力される。従って、VP4のセルは、ラインL50、L51、L53にマルチキャストされ、VP5のセルは、ラインL5

1. L52にマルチキャストされる。なお、VP0のセルはラインL50に、VP1のセルはラインL51に、VP2のセルはラインL52に、VP3のセルはラインL53に出力される。この方式では、各ライン上で非マルチキャスト用の帯域とマルチキャスト用の帯域を相互の干渉無しに完全に分離することができる。

【0033】次に、本発明の更に他の実施例として、品質クラス機能を持つスイッチについて説明する。

【0034】図7は、品質クラス機能を持つバッファメモリ制御回路の構成例を示している。この例では、書き込みアドレスメモリ(101, 101')、および、読み出しアドレスメモリ(102, 102')をそれぞれ2つずつ設けることにより、2クラスの品質クラス制御を行えるようにしてある。セルの書き込み時には、ラインL31から入力されるセルヘッダ情報に含まれるVPをアドレスとして、各書き込みアドレスメモリ101、101'からそれぞれ書き込みアドレスWA1、WA1'が読み出され、セレクトSEL1でクラス(CLS)に応じて選択された一方のアドレスがラインL32を介して共通バッファメモリ11に与えられる。このとき、CLSに応じて選択された101、101'のいずれか一方の書き込みアドレスメモリが、デコーダDEC1から出力されたCLS信号により書き込み可能状態(WENが'1')にされ、ラインL30上の新たなアドレス値が書き込まれる。

【0035】セル読み出し時は、帯域制御テーブル104'から出力されるVPをアドレスとして、各読み出しアドレスメモリ102、102'が読み出しアドレスRA1、RA1'を出力する。これらのアドレスRA1、RA1'のうち、いずれか一方が、セレクトSEL2で、品質クラス制御回路106が出力するCLS信号に応じて選択され、ラインL33を介して共通バッファメモリ11に与えられる。このとき、このCLS信号に応じて選択された102、102'のいずれか一方の読み出しアドレスメモリが、デコーダDEC2から来るCLS信号により書き込み可能な状態(WENが'1')にされ、L34を介して入力される新たな次アドレス値を記憶する。

【0036】品質クラス制御回路106は、帯域制御テーブル104'により指定されたCLSを選択し、出力する。ただし、もし、そのクラスにセルが無い場合には別のクラスを選択する。このように制御すれば、帯域制御テーブル104'の指定する各クラス毎の帯域を保証でき、また、指定された或るクラスのセルが来ていない場合には、別のクラスのセルを出力できるため、使用されていない品質クラスの帯域を有効に活用できる。

【0037】なお、品質クラス制御回路106における指定クラスのセルの有無判定は、例えば、各VP毎、クラス毎にカウンタを設けておき、現在あるセルの数を計測しておく方法が考えられる。ただし、上記方法はハ-

ド量が大きくなりやすい。

【0038】セルの有無を判定する別の方法としては、例えば、各VP、各クラスでの書き込みアドレスメモリと読み出しアドレスメモリの値を比較し、これらのアドレスが一致すればセル無し、不一致ならばセル有りと判定する。この方法は、ハード量は小さくてすむが、書き込みアドレスメモリにおいて、読み出しアドレスメモリとのアドレス比較のためのタイミングが必要となるため、動作タイミングの設定が厳しくなる。この問題を解決する1つの方法は、例えば図8に示す如く、セル有無判定用の書き込みアドレスメモリ107'を設けたバッファメモリ制御回路10にする。

【0039】図8では、書き込みアドレスメモリ101と101'の他に、これらと全く同じ値を保持するセル有無判定用の書き込みアドレスメモリ107、107'が設けてある。これらのセル有無判定用の書き込みアドレスメモリ107、107'の出力アドレスは、読み出しアドレスメモリ102、102'の出力アドレスと共にそれぞれ比較器108、108'に入力され、それぞれの比較結果がセルの有無を示す信号として品質クラス制御回路106に与えられる。上記方式によれば、書き込みアドレスメモリ101、101'においてセル有無判定のための時間確保が不要となるため、タイミングの制御が楽になる。また、ハード増加量もセル有無判定用書き込みアドレスメモリ107、107'と、比較器108、108'を設けるだけでよいため、比較的少なくて済む。

【0040】以上の実施例から明らかな如く、本発明は、各入力からのセルを多重化する多重器と、その多重化されたセルを入力する共通バッファメモリと、共通バッファメモリから出力されたセルを各出力に周期的に分離する分離器と、セル種別毎に共通バッファメモリの管理するバッファメモリ制御回路とから構成されるATMスイッチングシステムに対して、共通バッファメモリから読み出すセル種別を指定する帯域制御テーブルをバッファメモリ制御回路に設けたことを特徴としている。

【0041】

【発明の効果】本発明によれば、各出力リンクが同一の伝送速度をもつATMスイッチングシステムであっても、この出力リンクに多重器を設けることによって出線の伝送速度を上げることができ、逆に、分離器を設けることによって出線の伝送速度を下げるができるため、伝送速度の異なる複数種類の出線を容易に収容することができる。例えば、150Mbpsの伝送速度の出力リンクを持つATMスイッチングシステムに対して、4多重の多重器を出力リンクに設ければ600Mbpsの出線を収容でき、また、3分離の分離器を設ければ50Mbpsの出線を収容することができる。

【0042】実施例では、ATMスイッチングシステムの出力リンクに設けられた各多重器、または分離器に接

統された出線と対応するセルの種別を管理し、上記多重器や分離器の出力と対応した共通バッファメモリ読み出しタイミングに合わせて、帯域制御テーブルが出線に対応するセル種別の指示を行うようにしている。この共通バッファメモリ管理方式によれば、共通バッファメモリ内のセルを、各出線毎にFIFOバッファ管理でき、共通バッファメモリからの読み出しタイミングも各出線に対応した読み出しタイミングにすることができる。

【0043】本発明では、ATMスイッチングシステムの出力に付加する多重器や分離器を入れ替えるだけで出線の伝送速度を変更でき、このときATMスイッチングシステム内の変更は、帯域制御テーブルの読み出すセルのセル種別（出線番号）の指示するタイミングを例えばマイコン制御により変更すればよい。出線の伝送速度の変更は容易である。

【0044】また、本発明によれば、各セル種別毎の読み出し指示を行う帯域制御テーブルに、次の読み出しで同一セルを読み出すかどうかを指示する機能を付加することにより、帯域制御されたマルチキャスト機能を実現できる。すなわち、同一セルの読み出しを指示すれば、同じセルが何回も読み出され、いくつかの出線に同じセルを出力することができ、同一セルの読み出しを指示しなければ、次の時点で新たなセルを読み出すことができる。この方式によれば、非マルチキャスト用の帯域とマルチキャスト用の帯域を相互の干渉無しに完全に分離することができる。

【0045】また、本発明によれば、バッファメモリ制御回路において、書き込みアドレスメモリと読み出しアドレスメモリを品質クラス毎に分け、帯域制御テーブルによってセル種別と共に品質クラスも指示するようにし、さらに、その帯域制御テーブルに指示された品質クラスのセルが共通バッファメモリ内にある場合にはその品質クラスのセルを読み出し制御を行い、その品質クラスのセルが無い場合には別の品質クラスのセルの読み出し制御を行う品質クラス制御回路を設けることにより、品質クラス機能を実現することができる。上記品質クラス機能は、各クラス毎の帯域が保証されており、さらに、或るクラスにセルが無い場合に別のクラスのセルが出力させることもできるため、使用されていない品質クラスの帯域を別の品質クラスの通信に有効活用できる。

【図面の簡単な説明】

【図1】本発明による帯域制御テーブルを備えたスイッチングシステムの一実施例を示す構成図である。

【図2】図1における150Mbps/600Mbps多重器の動作を説明するための図である。

【図3】共通バッファメモリから出力ポートまでの間のスイッチの動作を説明するための図である。

【図4】本発明による拡張されたスイッチの構成の1例を示す図である。

【図5】本発明によるマルチキャスト機能を実現するバッファメモリ制御回路の構成の1例を示す図である。

【図6】マルチキャスト機能を備えたスイッチにおいて、共通バッファメモリから出力ポートまでの間の動作タイミングを説明するための図である。

【図7】本発明による品質クラス機能を実現するバッファメモリ制御回路の構成の1例を示す図である。

【図8】上記品質クラス機能を持つバッファメモリ制御回路の他の実施例を示す図である。

【図9】本発明による多元速度の入出力ポートを持つスイッチングシステムの一実施例を示す構成図である。

【図10】カウンタ値と、帯域制御テーブルに記憶される出力ポートとの関係を示す図である。

【図11】カウンタ値と、マルチキャスト機能を持つ帯域制御テーブルに記憶される各種の値との関係を示す図である。

【符号の説明】

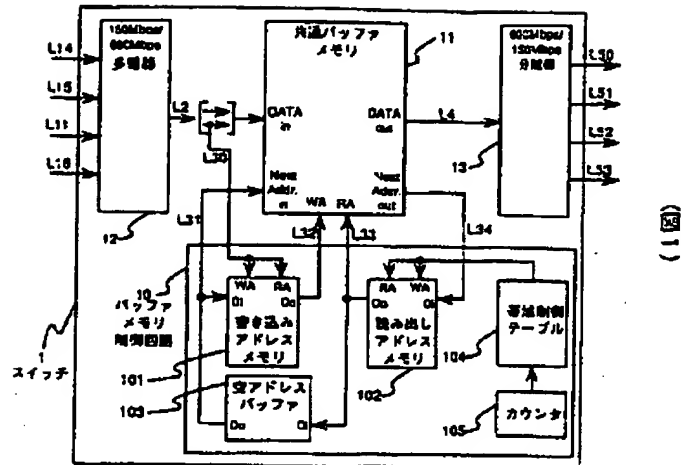
1、1-1、1-2、1-3、1-4、1-5、1-6、1-7、1-8…スイッチ、10…バッファメモリ制御回路、11…共通バッファメモリ、12…150Mbps/600Mbps多重器、13…600Mbps/150Mbps分離器、20…300Mbps/150Mbps分離器、21…75Mbps/150Mbps多重器、22…150Mbps/300Mbps多重器、23…150Mbps/75Mbps分離器、101、101'…書き込みアドレスメモリ、102、102'…読み出しアドレスメモリ、103…空アドレスバッファ、104、104'、104''…帯域制御テーブル、105、105'、105''…カウンタ、106…品質クラス制御回路、107、107'…セル有無判定用書き込みアドレスメモリ、108、108'…比較器、Pi0、Pi1、Pi2、Pi3…入力ポート、Po0、Po1、Po2、Po3…出力ポート。

【図10】

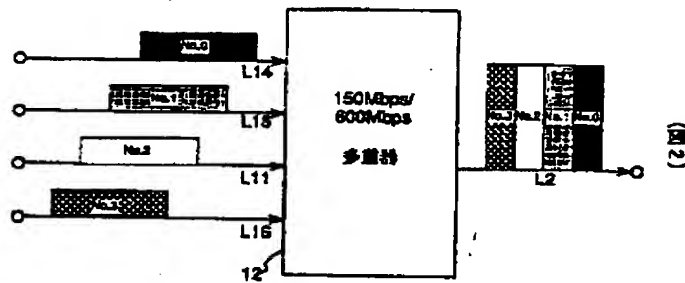
カウンタ値	c0	c1	c2	c3	c4	c5	c6	c7
出力ポート	Po0	Po0	Po1	Po2	Po0	Po0	Po1	Po3

(図10)

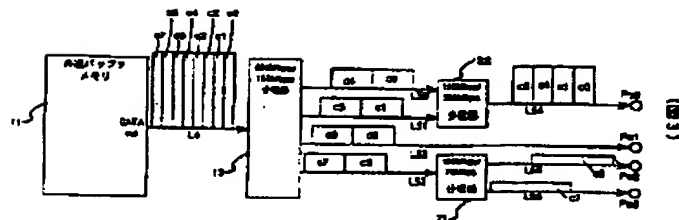
【図1】



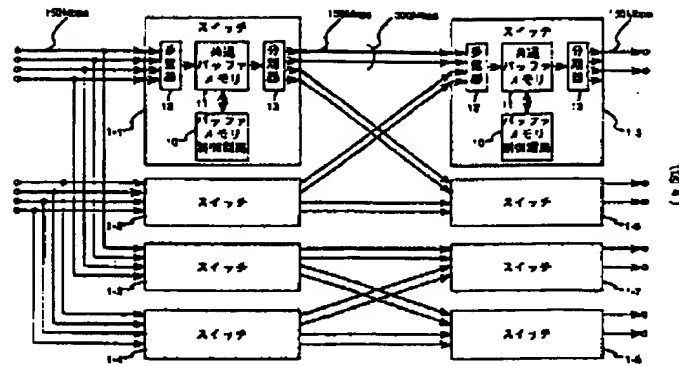
【図2】



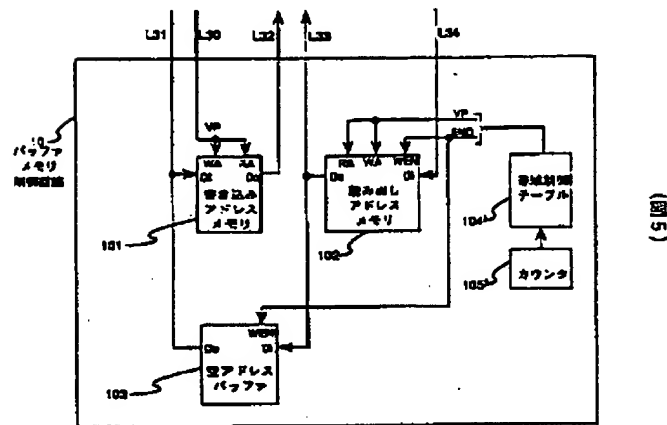
【図3】



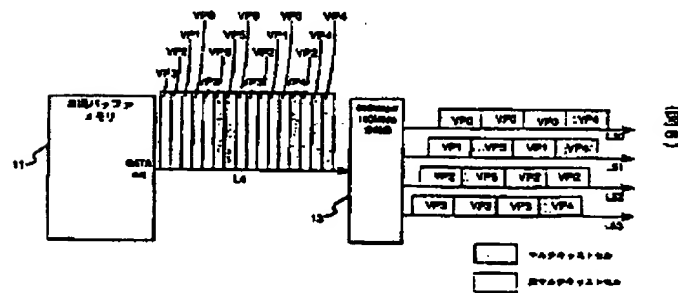
【図4】



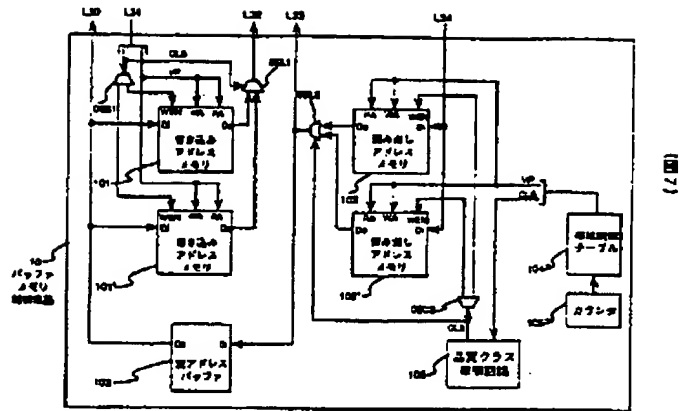
【図5】



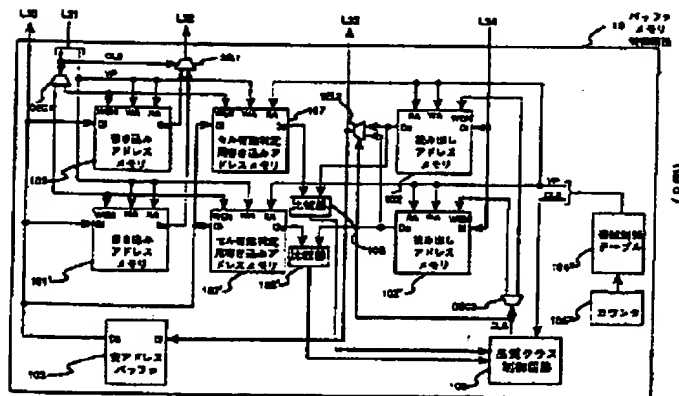
【図6】



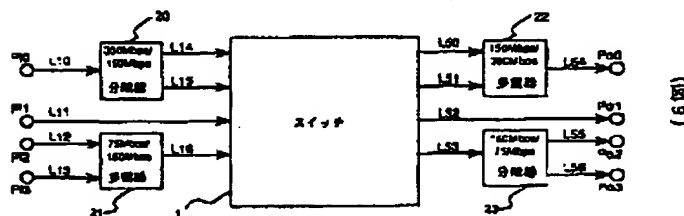
【図7】



【図8】



【図9】



【図11】

カウンタ値	c0	c1	c2	c3	c4	c5	c6	c7	c8	c9	c10	c11	c12	c13	c14	c15
VP値	VP4	VP4	VP2	VP4	VP4	VP1	VP2	VP3	VP4	VP5	VP5	VP3	VP4	VP1	VP2	VP3
END表示	0	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1
マルチキャスト(M)	M	M	N	M	N	N	N	N	M	M	N	N	N	N	N	N
非マルチキャスト(N)	N	N	M	N	N	N	N	N	N	N	M	M	N	N	N	N

(図11)

フロントページの続き

(72)発明者 青木 薫

神奈川県横浜市戸塚区戸塚町216番地 株
 式会社日立製作所戸塚工場内

(72)発明者 愛木 清

東京都国分寺市東恋ヶ窪1丁目280番地
 株式会社日立製作所中央研究所内